

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-194205

(43)Date of publication of application : 30.07.1996

(51)Int.Cl.

G02F 1/133
G02F 1/1343
G09G 3/36

(21)Application number : 07-005742

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.01.1995

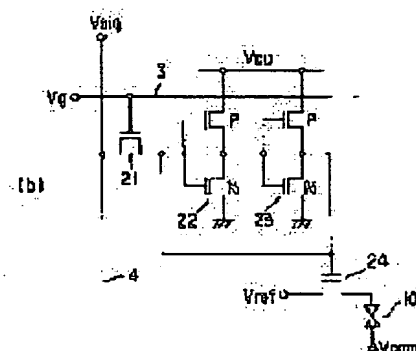
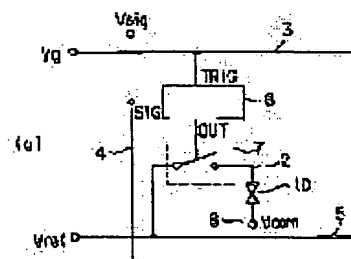
(72)Inventor : MOTAI TOMONOBU
SUZUKI KOHEI

(54) ACTIVE MATRIX TYPE DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide an active matrix type liquid crystal display device with which the reduction of the electric power consumption of a driver IC is possible.

CONSTITUTION: This active matrix type liquid crystal display device has pixel electrodes 2 which are arranged in a matrix form on a first substrate, scanning lines 3 which are arranged in the horizontal direction between these pixel electrodes 2, signal lines 4 which are arranged in the vertical direction between the pixel electrodes 2, memory elements 6 of a static type which are respectively arranged in the respective intersected parts of the scanning lines 3 and the signal lines 4 and hold the binary display signals from the signal lines 4 according to the scanning signals from the scanning lines 3, switching elements 7 which are connected at one-side terminals to the pixel electrodes 2 and at their other-side terminals to wirings 5 applying reference potential and are turned on and off by the signals held in these memory elements 6, a second substrate which is arranged to face the first substrate and is provided with counter electrodes 8 so as to face the pixel electrodes 2 and a liquid crystal layer 10 which is disposed between the first and second substrates.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Laid-Open Patent Publication No. 8-194205/1996

(Tokukaihei 8-194205)

(Published on July 30, 1996)

(A) Relevance to Claims

The following is a translation of passages related to all the claims of the present invention.

(B) Translation of Relevant Passages

[0026] Fig. 2(a) is a circuit diagram showing the arrangement of a pixel of the present embodiment. A binary-data-holding memory device 6 has an output section to output stored data and is connected to each intersection of scan lines 3 and signal lines 4 that are disposed to form a matrix. To the output section is connected a control terminal of a three-terminal switch 7 which controls the resistance between a reference line 5 and a pixel electrode 2 to adjust the bias applied to a liquid crystal layer 10.

[0027] As an example, the memory device in Figure 2(a) is a static memory device, a memory circuit that includes two-stage inverters to form a feedforward loop. An advantage of the circuit is that it can be built around

-2-

a transistor element which is unusable as an analogue signal element due to its poor off characteristics.

を助作させる方法が提案されている (J. Vanfleteren (1

(3)

デジタル情報表示を可能としたアナログトリック型表示装置を提供することにある。

【0016】

【課題を解決するための手段】上記課題を解決するために、本発明は次のような構成を採用している。即ち、本発明（請求項1）は、アナログ型表示された各画面にスイッチ素子を設けたアナログトリック型表示装置において、第1の基板の上にトリック状に配置された画面回路と、第1の基板上に一方に向って配置された複数本の走査線と、第1の基板上に前記走査線と交差する方向に配置された複数本の信号線と、前記走査線と前記信号線との各交差部にそれぞれ設置され、走査線より入力された走査信号に応じて信号線より入力される2画素信号を保持するスタティック型のメモリ素子と、これらのメモリ素子に対してそれぞれ設けられ、一方の端子が前記画面回路に接続され、他方の端子が基準電位を有する配線に接続され、前記メモリ素子に保持された信号により端子間をオン・オフするスイッチ素子と、第1の基板と対向配置され、前記画面回路と対向するように前記基板が設けられた第2の基板と、第1及び第2の基板間に設けられた表示材料口とを具備してなることを特徴とする。

【0017】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

- (1) 表示材料口は液晶であること。
- (2) 走査線及び信号線は、画面回路間に配置されていること。
- (3) 基準電位を有する配線及び対向回路の少なくとも一方に交流電位を印加すること。
- (4) 同一走査線に接続されたメモリ素子が走査線とされる時に、配線又は対向回路から印加される交流電位を一定電位とすること。
- (5) 2画素信号を保持するメモリ素子が不揮発性メモリにより形成されていること。
- (6) メモリ素子及びスイッチ素子は、荷電トランジスタにより形成されていること。

【0018】また、本発明（請求項4）は、アナログ型表示された各画面にスイッチ素子を設けたアナログトリック型表示装置において、基板上にアナログ状に配置された画面回路と、前記基板上に一方に向って配置された複数本の走査線と、前記基板上に前記走査線と交差する方向に配置された複数本の信号線と、前記走査線と前記信号線との各交差部に設置され、走査線より入力された走査信号に応じて信号線より入力される2画素信号を保持するメモリ素子と、これらのメモリ素子に対してそれぞれ設けられ、一方の端子が前記画面回路に接続され、他方の端子が基準電位を有する配線に接続され、前記メモリ素子に保持された信号により端子間をオン・オフするスイッチ素子とを具備してなり、前記画面回路が所定数毎にプロック化され、該プロック内の

(4)

は、液晶などの光変換部材のリーク電圧を通じてスイッチング終了後の初期に消滅する。このため、表示性能に悪影響を及ぼすことがなく、面相変調によるディジタル劣化現象が抑制される。

【0023】さらに、液晶などの光変換部材の1画素の表示状態はオン又はオフの2状態であるため、中間画表示時でも視認性は高く、表示むらもない極めて良好な表示品位が得られる。

【0024】以下、本発明の実施例を、公知の半導体技術を用いた荷電工程で形成された薄膜トランジスタを用いて作成した液晶表示装置を例として説明する。

【実施例1】図1は、本発明の第1の実施例に係るアナログトリック型液晶表示装置の基本構成を示すもので、(a)は素子配置断面図、(b)は回路構成図である。ガラス等からなる第1の基板1上に画面回路2がアナログトリック状に配置されており、画面回路2間には紙面左右方向に走査線3が、上下方向に信号線4が配置されている。また、走査線3と平行に信号線5が配置されている。走査線3と信号線4の交差部に接続するメモリ素子6が設けられ、メモリ素子6と画面回路2間にはスイッチ素子7が設けられている。

【0025】基板1上には所定開口としてガラス等からなる第2の基板9が対向配置されており、基板9の対向面には対向回路8が形成されている。そして、各基板1、9間に表示材料口としての液晶層10が封入されている。なお、図中の13は走査線ドライバ、14は信号線ドライバ、15は制御線ドライバである。

【0026】図2(a)は、本実施例の1画面部構成を示す回路図である。アナログトリック状に形成された走査線3と信号線4の交差部に2端子型保持メモリ素子6が接続されており、このメモリ素子6には、保持されている信号を出力部が設けられている。出力部には、3端子スイッチ素子7の制御端子が接続されている。このスイッチ素子7は、制御線5と画面回路2との間の接続を制御し、液晶層10のバypass状態を制御している。

【0027】図2(a)におけるメモリ素子の例として、2段インバータを用いた正帰還させた形のメモリ回路、即ちスタティック型メモリ素子が与えられる。本回路では、トランジスタのオン特性が十分にアナログ信号用素子として利用可能なトランジスタ素子で実現することができる。

【0028】具体的な回路構成を、図2(b)に示す。前記図11(b)と比較して、各C1が不変であったため、図11(b)の素子T1に対処する図2の素子21は小さくてもよい。スイッチ素子21とインバータ回路22、23の各素子サイズは、インバータ回路部の近辺部と同一形状を有する方が設計可能である。具体的に、素子21、22、23、24の素子サイズの比が、

(7)

ことが予め分かっているため、測定結果表示の部分に対応した画面を走査してメモリ素子への信号供給を行えばよいことになる。

【0050】この場合も、表示制御側での設定で対応できる。さらに細かくは、画面表示で走査されるライン数が少なれば、本装置の効果が低くなるので、画面表示部分が特定の走査ライン上に集中するように、画面表示の画面をシャフトすればよい。

(実施例5) 図9は本発明の第5の実施例に係わるアークテラトリックス型液晶表示装置の1フロックの概略回路構成図である。

【0051】ここでは、4ビット16階調表示の場合である。表示装置全体の画素フロック数を $M \times N$ 個としたときの i 番目のフロック(i は $1 \sim M$ 、 j は $1 \sim N$)について示している。パソコンで現在主波のVGA規格の表示の場合、 $M=640$ 、 $N=480$ となる。

【0052】画面X方向のアークテラADS-Xiと画面Y方向のアークテラADS-Yiとの交点にANDゲートGijが設けられ、その出力と4本の画素データ線D0～D3の各々の交点にANDゲートG0ij～G3ijが設けられている。ANDゲートG0ij～G3ijの出力はメモリ素子M0ij～M3ijに接続され、メモリ素子M0ij～M3ijの出力はスイッチングラジスタT0ij～T3ijのゲート極に接続され、スイッチングラジスタT0ij～T3ijのオンオフを制御する。スイッチングラジスタT0ij～T3ijのソース又はドレイン極の一方は第1の共通位相COM1に、他方は画面位相を介して画面の波高P0ij～P3ijに接続されている。

【0053】なお、本実施例のメモリ素子は第1の実施例で用いたようなスタティック型に限らず、ダイナミック型でもよいし、さらにEEPROMでもよく、各種の方式を利用することができる。

【0054】画面位相の面積はそれぞれ異なり、図10に示すように、P0に对应した画面位相の面積を1とするとP1は2倍、P2は4倍、P3は8倍になっている。画面の波高P0ij～P3ijの位相は共通位相である第2の共通位相COM2に接続されている。第1の共通位相COM1と第2の共通位相COM2の間には交流の波高駆動電圧DRVが接続されている。

【0055】本装置例の動作は次のようになる。4ビットの画素データは、画面X方向のアークテラADS-Xiと画面Y方向のアークテラADS-Yjが共にアークテラのメモリ素子M0ij～M3ijに記憶され、次に再び走査されるまでの状態を保持し続ける。対向位相には、用いた液晶の駆動に必要な一定の交流電圧(例えばは現在一般に使われているTN液晶では±5Vの10V程度の電圧)が印加されているが、この1画面毎に掛けられたメモリ回路M0ij～M3ijによって制御されるスイッチングラジスタT0ij～T3ijによって、画面の

波高P0ij～P3ijには上記駆動電圧が印加されるが印加されないかが制御され、所望の表示状態が維持される。

【0056】従来のアークテラトリックス液晶表示装置では、データ線駆動回路や制御回路の内部等画素口やデータ線駆動部各負荷の充放電、対向位相各口の高速充放電のなどに大部分の電力が消費されていたが、本装置例では、従来のように表示画面が変化しなくても交流駆動のためにデータ線に一定周波の電圧を反転させた信号を印加する必要がなく、データ線駆動回路や制御回路はほぼ停止状態のため、そこで消費される電力は殆ど無視できるほど小さくなる。唯一消費される電力は対向位相の直流駆動によるものとなるが、これはフリッカが視感されない程度の例えば60Hz以下の低い周波数で十分ため、消費電力は従来の駆動の100分の1から1000分の1程度に低減される。

【0057】この理由を、以下に説明する。対向位相全体の容量 C_{com} は、位相面積 S と液晶の誘電率 ϵ 、ギャップ d では決定され、 $C_{com} = \epsilon S/d$ となり、1インチクラスの液晶表示装置の場合その容量は0.1～0.3μF程度である。この容量に消費電流 i_{drv} 、電圧 V_{drv} の交流電圧で充放電させるに消費される電力 P_{com} は、 $P_{com} = C_{com} \cdot f_{drv} \cdot V_{drv}^2$ で与えられ、±5Vで60Hzで駆動した場合に0.15mW～0.45mWと非常に小さいものになる。実際には、液晶のリーク抵抗やメモリ回路や駆動回路内のリーク電流による電力消費がそれに加えられるが、全体としての消費電力はそれでも1mWから数10mW程度に小さく抑えられる。

【0058】さらに、画面位相が所定数毎にフロッキングされ、そのフロッキング内の画面位相の寸法がそれぞれ異なっていることにより、1フロッキングとして画面位相によるデジタル多相駆動表示が容易となる。従来の駆動法でこのような画面位相表示をしようとしたときの以下の問題が発生せず、極めて画面の表示品位が向上する。

【0059】従来の駆動では、TFTなどのスイッチ素子が持つ寄生容量によってスイッチング時に、駆動電圧に歪みが生じ、歪んだ画面位相のレベルシフトが発生するが、このレベルシフトは上記寄生容量と画面位相各口とのスイッチングノイズの分配比で決定され、画面位相の寸法が異なるレベルシフトは画面位相毎に異なり、対向位相位相の駆動によっても歪みが生じることが明らかであり、実質的に画面歪みは不可能であった。

【0060】本装置例では、このスイッチングノイズは、画面上のレベルシフトは、液晶のリーク抵抗を通じてスイッチング終了後の初期に消滅するため、表示性能に歪みが生じることがなく、画面位相によるデジタル多相駆動表示が可能である。また、この方法では液晶の1画面の表示状態ではオンス又はオフの2状態であるため、中間表示時でも視野角は広く、表示むらやフリッカもな

(8)

い極めて良好な表示品位が得られる。

【0061】なお、本装置例は上述した各実施例に限定されるものではない。実施例では、表示材料として液晶を用いたが、これに限らず他の材料を用いることができる。例えば、ELやプラズマディスプレイ等に適用することが可能である。また、液晶の場合は、反射型に限らず透過型に適用することも可能である。その他、本装置例の要旨を逸脱しない範囲で、様々な変形して実施することができる。

【0062】

【発明の効果】 以上詳述したように本装置によれば、1画面毎にスイッチ素子を制御するためのスタティック型のメモリ素子を設けているので、走査信号や画素信号を階層的に合を加える必要がなくなり、フライバットで消滅される電力を低減することができる。従って、従来の液晶表示の小型化、或いは充電池駆動装置の使用期間延長を可能とする。

【0063】また本装置によれば、所定数の画面毎にフロッキングして階調表示を行う方式において、1画面毎にスイッチ素子を制御するためのメモリ素子を設けているので、スイッチングノイズ低減によるレベルシフトを抑制することができ、フライバットの消費電力を低減することができる。かつ画面位相によるデジタル階調表示を行うことが可能となる。

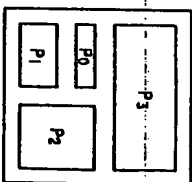
【図面の簡単な説明】

【図1】 第1の実施例に係わるアークテラトリックス型液晶表示装置の基本構成を示す素子構造断面図と回路構成図。

【図2】 第1の実施例の1画面部構成を示す回路構成図。

【図3】 第1の実施例の変形例を示す回路構成図。

【図10】



【図4】 第1の実施例の変形例を示す回路構成図。

【図5】 第1の実施例における駆動信号の一例を示す図。

【図6】 第1の実施例における駆動信号の他の例を示す図。

【図7】 第2の実施例に係わるアークテラトリックス型液晶表示装置の1画面部構成を示す回路図とメモリ素子の構造断面図。

【図8】 第2の実施例における駆動信号の一例を示す図。

【図9】 第5の実施例に係わるアークテラトリックス型液晶表示装置の1フロックの概略回路構成図。

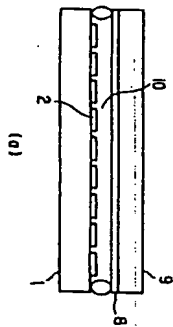
【図10】 1フロッキングにおける画面の大きさ及び配置例を示す図。

【図11】 従来のアークテラトリックス型液晶表示装置を示す回路構成図。

【符号の説明】

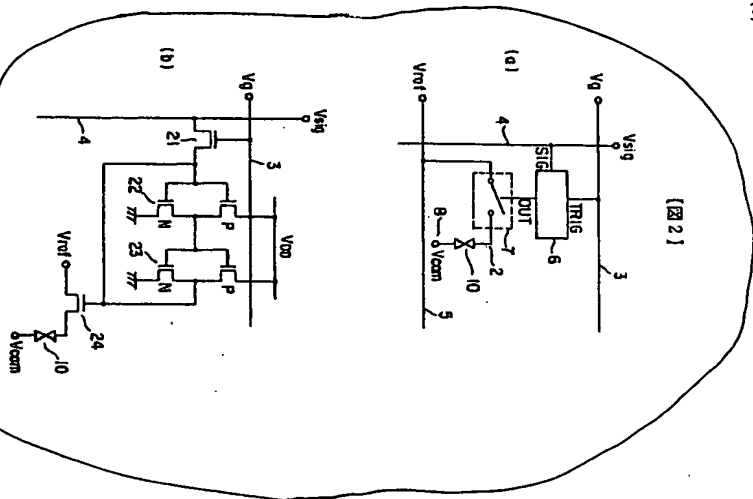
- 1...第1の基板
- 2...画面位相
- 3...走査線
- 4...信号線
- 5...制御線
- 6...メモリ素子
- 7...スイッチ素子
- 8...対向位相
- 9...駆動のガラス基板
- 10...液晶層(表示材料)
- 21...スイッチ素子
- 22, 23...インバータ素子
- 24...スイッチ素子

【図1】

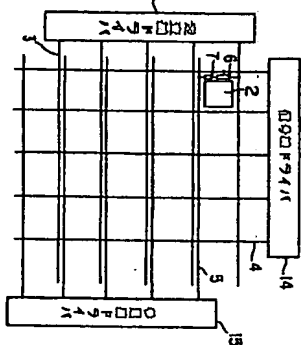


(9)

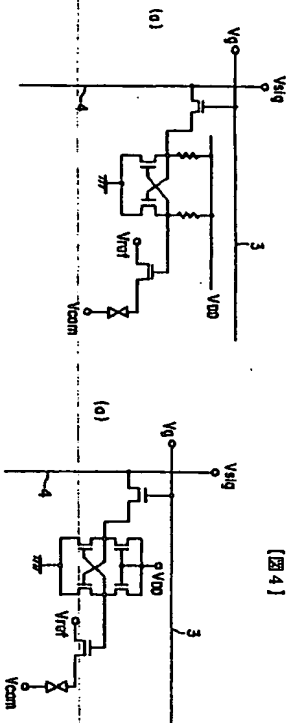
【図2】



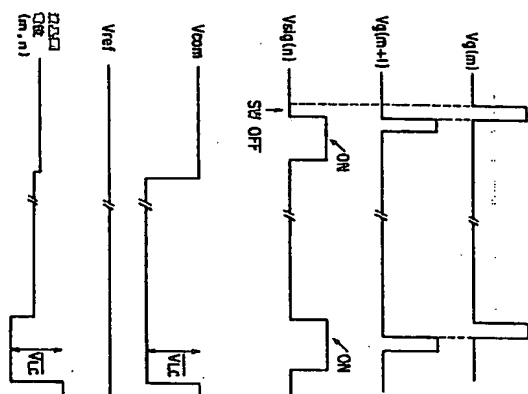
【図3】



【図4】

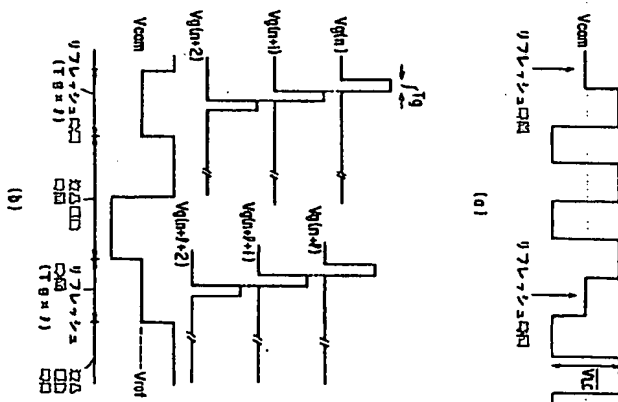


【図5】

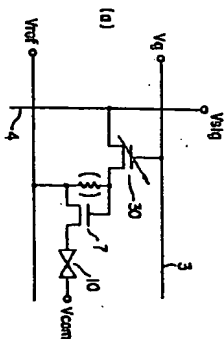


(10)

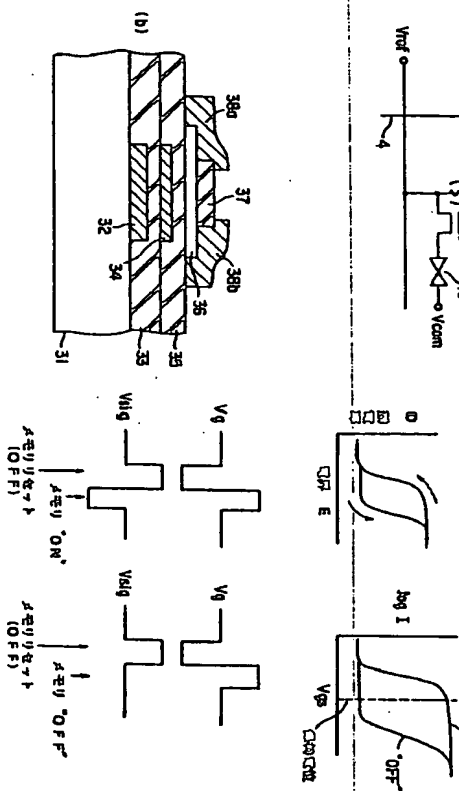
【図6】



【図7】

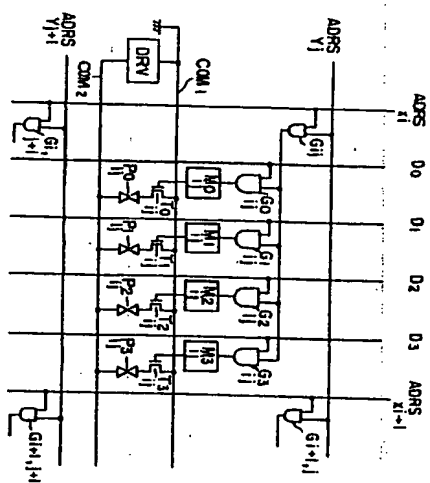


【図8】

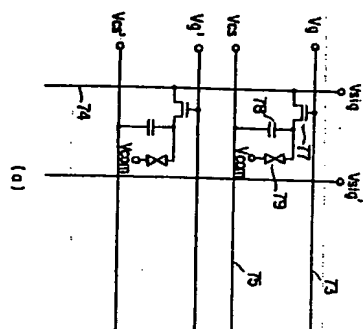


(11)

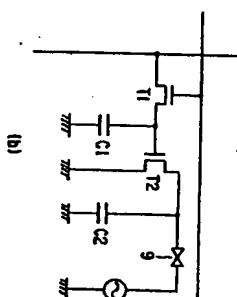
〔図9〕



〔図11〕



(a)



(b)